

PAT-NO: JP401291540A
DOCUMENT-IDENTIFIER: JP 01291540 A
TITLE: DEMODULATION CIRCUIT
PUBN-DATE: November 24, 1989

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|--------------------|----------------|
| AONO, YOSHITAMI | |
| IWAMATSU, TAKANORI | |
| SAITO, MASAKATSU | |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|--------------------|----------------|
| <u>FUJITSU LTD</u> | N/A |

APPL-NO: JP63120517**APPL-DATE:** May 19, 1988**INT-CL (IPC):** H04J011/00**US-CL-CURRENT:** 329/316**ABSTRACT:**

PURPOSE: To obtain a demodulation circuit suitable for making into an LSI by constituting the circuit of a first sub identification part to digital-convert a second demodulation signal from a second demodulation part by a first clock in a first system, and a first addition part to add the output of a first compensation part which adds compensation corresponding to frequency difference on a first sub identification signal.

CONSTITUTION: To eliminate interference from a second system 20 to the first system 10, the second demodulation signal S21 is introduced to the first system 10, and demodulated data S13 obtained at the first sub identification part 13 does not completely coincide with an interference component from the second system 20. The first sub identification signal S13 of the second system 20 is converted to the first sub identification signal of the first system 10, that is, a compensation signal by the frequency f_{c1} of first and second recovery carriers f_{c1} and f_{c2} . Such conversion is performed at the first compensation part 14, and it is added on the first demodulated data DT1 at the first addition part 15, then, the interference component from the second system is eliminated. In such a way, it is possible to obtain the demodulation circuit for which the making of the circuit into an IC can be performed easily without increasing the quality of hardware.

PAT-NO: JP401291540A
DOCUMENT-IDENTIFIER: JP 01291540 A
TITLE: DEMODULATION CIRCUIT
PUBN-DATE: November 24, 1989

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|--------------------|----------------|
| AONO, YOSHITAMI | |
| IWAMATSU, TAKANORI | |
| SAITO, MASAKATSU | |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|--------------------|----------------|
| <u>FUJITSU LTD</u> | N/A |

APPL-NO: JP63120517**APPL-DATE:** May 19, 1988**INT-CL (IPC):** H04J011/00**US-CL-CURRENT:** 329/316**ABSTRACT:**

PURPOSE: To obtain a demodulation circuit suitable for making into an LSI by constituting the circuit of a first sub identification part to digital-convert a second demodulation signal from a second demodulation part by a first clock in a first system, and a first addition part to add the output of a first compensation part which adds compensation corresponding to frequency difference on a first sub identification signal.

CONSTITUTION: To eliminate interference from a second system 20 to the first system 10, the second demodulation signal S21 is introduced to the first system 10, and demodulated data S13 obtained at the first sub identification part 13 does not completely coincide with an interference component from the second system 20. The first sub identification signal S13 of the second system 20 is converted to the first sub identification signal of the first system 10, that is, a compensation signal by the frequency f_{c1} of first and second recovery carriers f_{c1} and f_{c2} . Such conversion is performed at the first compensation part 14, and it is added on the first demodulated data DT1 at the first addition part 15, then, the interference component from the second system is eliminated. In such a way, it is possible to obtain the demodulation circuit for which the making of the circuit into an IC can be performed easily without increasing the quality of hardware.

⑫ 公開特許公報 (A) 平1-291540

⑤Int.Cl.⁴
H 04 J 11/00識別記号
B-8226-5K

④公開 平成1年(1989)11月24日

審査請求 未請求 請求項の数 1 (全8頁)

⑥発明の名称 復調回路

⑦特 願 昭63-120517
⑧出 願 昭63(1988)5月19日

⑨発明者 青野 芳民 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑩発明者 岩松 隆則 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑪発明者 斎藤 正勝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑫出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑬代理人 弁理士 青木 朗 外4名

明細書

1. 発明の名称

復調回路

2. 特許請求の範囲

1. 第1および第2中間周波 (f_{1r1} , f_{1r2}) によりそれぞれ変調された送信側 (SND) からの第1および第2変調信号 (S1, S2) を受信し、それぞれ第1および第2再生搬送波 (f_{c1} , f_{c2}) を用いて復調を行う第1および第2復調部 (11, 21) ならびにその復調された第1および第2復調信号 (S11, S21) より第1および第2復調データ (DT1, DT2) をそれぞれ再生する第1および第2主識別部 (12, 22) を有する第1および第2系統 (10, 20) に区分されてなる復調回路において、

前記第1および第2再生搬送波 (f_{c1} , f_{c2}) の相互間の周波数差 (Δf) を検出する周波数差検出部 (31) を有し、

前記第1系統 (10) 内において、前記第1再生搬送波 (f_{c1}) に同期したクロック (CK1) で前

記第2復調部 (21) からの前記第2復調信号 (S21) をデジタル変換する第1副識別部 (13) と、該第1副識別部 (13) からの第1副識別信号 (S13) に対し前記周波数差 (Δf) に応じた補償を加える第1補償部 (14) と、前記第1復調データ (DT1) に該第1補償部 (14) の出力を加えて前記第2系統 (20) から前記第1系統 (10) への干渉成分を除去する第1加算部 (15) を設け、前記第2系統 (20) 内において、前記第2再生搬送波 (f_{c2}) に同期したクロック (CK2) で前記第1復調部 (11) からの前記第1復調信号 (S11) をデジタル変換する第2副識別部 (23) と、該第2副識別部 (23) からの第2副識別信号 (S23) に対し前記周波数差 (Δf) に応じた補償を加える第2補償部 (24) と、前記第2復調データ (DT2) に該第2補償部 (24) の出力を加えて前記第1系統 (10) から前記第2系統 (20) への干渉成分を除去する第2加算部 (25) を設けることを特徴とする復調回路。

3. 発明の詳細な説明

(概要)

第1および第2中間周波によりそれぞれ変調された送信側からの第1および第2変調信号を受信し、それぞれ第1および第2再生搬送波を用いて復調を行う第1および第2復調部ならびにその復調された第1および第2復調信号より第1および第2復調データをそれぞれ再生する第1および第2主識別部を有する第1および第2系統に区分されてなる復調回路に関し、

ディジタル化に適し、簡単な構成で実現できる復調回路を提供することを目的とし、

前記第1および第2再生搬送波の相互間の周波数差を検出する周波数差検出部を有し、前記第1系統内において、前記第1再生搬送波に同期したクロックで前記第2復調部からの前記第2復調信号をディジタル変換する第1副識別部と、該第1副識別部からの第1副識別信号に対し前記周波数差に応じた補償を加える第1補償部と、前記第1復調データに該第1補償部の出力を加えて前記第

2系統から前記第1系統への干渉成分を除去する第1加算部を設け、前記第2系統内において、前記第2再生搬送波に同期したクロックで前記第1復調部からの前記第1復調信号をディジタル変換する第2副識別部と、該第2副識別部からの第2副識別信号に対し前記周波数差に応じた補償を加える第2補償部と、前記第2復調データに該第2補償部の出力を加えて前記第1系統から前記第2系統への干渉成分を除去する第2加算部を設けるように構成する。

(産業上の利用分野)

本発明は、第1中間周波により変調された送信側からの第1変調信号を受信し、第1再生搬送波を用いて復調を行う第1復調部ならびにその復調された第1復調信号より第1原データを再生する第1主識別部を有する第1系統と、第2中間周波により変調された前記送信側からの第2変調信号を受信し、第2再生搬送波を用いて復調を行う第2復調部ならびにその復調された第2復調信号よ

り第2原データを再生する第2主識別部を有する第2系統とに区分されてなる復調回路に関する。

例えば多値QAM等のディジタル無線伝送システムでは周波数の利用効率を高めるため種々の手法が試みられている。1つにはそのQAMの多値数を $4 \rightarrow 8 \rightarrow 16 \dots$ の如く増加させる方法がある。また第1系統と第2系統に区分して伝送するという方法もある。本発明はこの後者の方法を前提とするものである。例えば第1系統としてV(vertical)偏波を用い、第2系統としてH(horizontal)偏波を用いるというものであり、いわゆるCO-CHANNEL伝送を形成する。別の態様としては、VまたはHのいずれかの片偏波を用い、その中で第1系統として第1の周波数帯域を用い、第2系統として第2の周波数帯域を用い、かつこれら第1および第2の周波数帯域は、一方の高周波領域と他方の低周波領域とが重なりあう程近接している。なお上記いずれの場合であっても、上記第1系統と第2系統はそれぞれI(In-phase)チャネルとQ(quadrature)チャネルから構成される。

また、以下の説明は、VおよびH偏波をそれぞれ第1および第2系統とするCO-CHANNEL伝送を主として例にとる。

(従来の技術)

上記CO-CHANNEL伝送等では、第1系統および第2系統間の干渉、すなわちV偏波のH偏波への干渉ならびにH偏波のV偏波への干渉が問題となる。この干渉の度合は例えばフェージングの発生によって急に高くなり、データ伝送の誤り率を高くしてしまう。

このような一方の系統から他方の系統への干渉成分を除去するための手段が必要となる。従来、この干渉成分除去手段として、いわゆるローカル同期のもとで実現される手段とローカル非同期のもとで実現される手段が知られている。前者の、ローカル同期形の手段においては一方の系統のローカル信号の変化(周波数変化)を常に他方の系統に伝え、両系統のローカル信号を一致させておく必要がある。このことは逆に言えば一方の系統

のローカル信号に異常が発生したとすると、この異常は即座に他方の系統に波及し、一瞬のうちにシステムダウンとなってしまう。これはシステムの信頼度を悪化させることになる。したがって本発明はこのような欠点のない、前述した後者の手段、すなわちローカル非同期形の手段を前提とする。

(発明が解決しようとする課題)

上記ローカル非同期形のもとで上記干渉成分を除去するために、第1復調部を主と副の2系統とし、第2復調部も主と副の2系統とし、それぞれ副をなす一方の復調部は（主をなす復調部は本来のもともとある復調部）、他方の受信信号を復調するものとし、これら副復調部の出力を副識別部に入力して干渉成分を除去するための補償信号を生成するという手法を本発明者等が考え出した。しかしながら、この手法では復調部のハードウェア量が倍になり復調回路の小型化が困難ない、という問題が生ずる。さらに、その復調部は通常ダ

イオードミキサによって構成されることからアナログ部品が増え、復調回路のLSI化に支障となるという問題が生ずる。

本発明は、ディジタル化に適し、簡単な構成で実現できる復調回路を提供することを目的とするものである。

(課題を解決するための手段)

第1図は本発明に係る復調回路の原理構成を示す図である。本図において、復調回路30は、第1系統10（上半分）と第2系統20（下半分）とに区分され、例えばCO-CHANNEL伝送であれば第1系統10はV偏波系、第2系統20はH偏波系である。原データDATA1は、送信側SNDにおいて、第1変調器MOD1により第1中間周波 f_{1r1} で変調され第1変調信号S1として、受信側である復調回路30の第1系統10に印加される。同様に、原データDATA2は、送信側SNDにおいて、第2変調器MOD2により第2中間周波 f_{2r2} で変調され第2変調信号S2として受信側である復調回

路30の第2系統20に印加される。

復調回路30内にはまず周波数差検出部31が設けられる。周波数差とは、第1および第2系統10、20の第1再生搬送波 f_{c1} と第2再生搬送波 f_{c2} との差（ Δf ）のことである。なお、これら搬送波の再生手法は従来どおりであり、図示を省略する。さらに、第1系統10内においては、まず第1復調部(DEM)11が設けられ、復調された第1復調信号S11は第1主識別部(A/D)12に印加される。該識別部12はA/D(Analog/Digital)コンバータであり、ここで第1復調データDT1を生成する。

上記の第1系統10の構成は第2系統20についても同様であり、第2復調信号S21を出力する第2復調部21と、第2復調データDT2を生成する第2主識別部22がある。なお、第1および第2主識別部12、22はそれぞれ第1および第2クロックCK1、CK2にて識別動作を行うが、これらクロックはDATA1、DATA2にそれぞれ同期したクロックである。このためにクロック再生部(BTR:

Bit Timing Recovery)16および26があるが、これらは公知のものである。

本発明の特徴的構成は、第1系統10内において、第2復調部21からの第2復調信号S21を第1クロックCK1でディジタル変換する第1副識別部13と、その出力である第1副識別信号S13に対し前記周波数差 Δf に応じた補償を加える第1補償部14と、第1補償部14の出力を第1復調データDT1に加える第1加算部15である。

上記の構成は第2系統20についても全く同様であり、第2クロックCK2にて、他の系統からの第1復調信号S11を識別する第2副識別部23と、その第2副識別信号S23に対し周波数差 Δf に応じた補償を加える第2補償部24と、この補償出力を第2副識別部23からの第2復調データDT2に加える加算部25とを備える。加算部15および25の出力に所定の処理（図示せず）を加えて、再生データDATA1およびDATA2を得る。

(作 用)

第2系統20から第1系統10への干渉を除去するために、第2系統20での復調信号、すなわち第2復調信号S21を、第1系統10内に導入し、第1主識別部12とは別の第1副識別部13でその第2復調信号S21の復調データをS13として得る。この復調データS13は第1系統10内のクロックCK1で得られたものであり、本来の復調データDT1に含まれる、第2系統20からの干渉成分に等しい。ところが現実にはこの干渉成分(DT1に含まれるもの)は、第1復調データS13と完全には一致しない。なぜなら、第1副識別部13に入力される、第2系統20からの第2復調信号S21は第2系統20に固有の再生搬送波 f_{c_2} で復調されたものだからである。なお一般的には第1および第2再生搬送波 f_{c_1} , f_{c_2} の周波数が完全に一致することはあり得ず、例えば数100Hz程度のズレは免れない。これが前述の周波数差(Δf)である。

そこで、この周波数差 Δf をもって、第2系統

20の座標系で表された第1副識別信号S13を、第1系統10の座標系で表された第1副識別信号、すなわち補償信号に変換する。この座標変換は第1補償部14で行われ、第1加算部15で第1復調データDT1に加えて第2系統からの干渉成分を除去する。ここに座標系とは、直交する既述のIチャネルおよびQチャネルで規定される座標系を意味する。

上記の構成は第2系統20においても全く同様に適用される。

かくして既述した、復調部のハードウェア量の増大を伴うことなく、またIC化が容易な復調回路が実現される。なぜなら副識別部13, 23, 補償部14, 24, 加算部15, 25は簡単なロジック回路のみで構成できるからである。

(実施例)

第2図は第1図における送信側の一例を示す図である。ただし送信側SNDそのものには本発明の特徴はない。本図中の原データDATA1, DATA2、

変調器(MOD1, MOD2)については既に述べたとおりであり、変調器からの信号は、アップコンバータ(ローカル信号 f_{s_1} , f_{s_2})を経てIF(中間周波) \rightarrow RF(マイクロ波)変換器および高出力増幅器(HPA)を通してアンテナANTより受信側に送信される。なお、MOD1およびMOD2はそれぞれIチャネルおよびQチャネルの直交信号を処理する。

第3図は本発明に係る復調回路の詳細例を示す図である。アンテナANTで受信された変調信号(第2図のS1, S2)はローノイズアンプ(LNA)41, 51にそれぞれ印加された後、ダウンコンバータ(ローカル信号 f_m)を経てIF変換器41, 52で中間周波信号となる。これより後段の構成は第1図の構成と実質的に同じである。なお、本実施例では既述の第1および第2系統(10, 20)としてV偏波系とH偏波系を用いた場合を示す。

第1図の復調回路30で示した第1補償部(COM)14は第3図中、座標回転器(ROT)44および45で示される。第2補償部24についてもROT54

および55で実現される。なお、ROTの具体例は後述する。

ROT44および54の各後段には干渉雑音キャンセラ(INC:Interference Noise Canceller)45および55が設けられ、これらを通して加算部15および25にそれぞれ入力される。なお、このINCの構成は通常のトランスパーサル等化器とほぼ同じものである。またトランスパーサル等化器は第3図中EQL43および53として、主識別器(A/D)12および22と加算部15および25との間にそれぞれ挿入される。

第4図は復調回路内の周波数差検出部の具体例を示す図である。周波数差検出部31は、再生搬送波 f_{c_1} および f_{c_2} の周波数差 Δf を検出し、かつこれを次段の回路に通した形で、例えば $\sin\theta$ 信号および $\cos\theta$ 信号として第3図の座標回転器(ROT)44, 54に入力する。 $\sin\theta$ および $\cos\theta$ は、リードオンリーメモリ(ROM)71および72と、これらメモリをアクセスするためのアドレスを出力するアップ/ダウン(U/D)カウンタ70とに

より生成される。すなわち、メモリ71, 72およびカウンタ70は、いわゆる無限移相器を形成する。

上記 f_{c1} および f_{c2} の周波数差 Δf はミキサ64のビート信号として出力され、コンバレータ(CMP)65においてデジタル信号とした後、過倍器(66, 67, 68)を経て、カウンタ70のクロック端子CLKへ印加される。参照番号66は周波数(f)→電圧(V)変換器、67はP倍の掛算器、68はV→ f 変換器である。この過倍器は、 Δf が数100Hzと小さいことに鑑み、分解能を上げるために用いられる。Pは、カウンタ70の桁数がmであるとすると(mビットカウンタ)、 $P = 2^m$ である。

かくして、周波数差 Δf の変動に追従して座標系の回転量を $\sin \theta$ 信号および $\cos \theta$ 信号として出力する。この場合、その座標系の回転が右まわりか又は左まわりかを決める必要があるが、そのためには、カウンタ70のアップ/ダウン(U/D)制御入力にコンバレータ(CMP)63の出力を印加する。コンバレータ63は、再生搬送波 f_{c1} および

f_{c2} の大小を比較するものであり、そのためにV偏波系の分周器($1/n$)611および $1/n$ V変調器621が設けられる。H偏波系にもそれぞれ対応する回路部分612および622が設けられる。例えば $f_{c1} > f_{c2}$ ならU/Dカウンタ70はアップカウントし、 $f_{c1} < f_{c2}$ ならダウンカウントする。

第5図は座標回転器の具体例を示す図である。座標回転器(ROT)44(54)はV偏波系のもの(44)も、H偏波系のもの(54)も同一構成であるので、V偏波系について述べると、主識別部(A/D)12は、第1復調信号S11およびクロックCK1を受信し、復調データ(第3図のDT1)を生成する。なお、信号S11はIチャネルおよびQチャネルの信号からなる。この信号S11は座標系(x, y)で規定されたものである。そこで、この信号S11を、周波数差 Δf に応じた補償を加えるために θ だけ回転させた新たな座標系(X, Y)で規定される信号に変換する。変換公式は、

$$X = x \cos \theta + y \sin \theta$$

$$Y = -x \sin \theta + y \cos \theta$$

である。ここに $\cos \theta$, $\sin \theta$ は第4図の周波数差検出部31より供給される。第5図中、Mは掛算器、Aは和算器、Sは引算器である。

第6図はトランスパーサル形フィルタの一般形を示す図であり、第5図における干渉雜音キャンセラ45(55)の基本構成を、X側(Y側も全く同一)について示す。第6図において、 w_1 , w_2 , $w_3 \dots w_n$ はタップ係数であり、各掛算器Mで入力Xと掛算され、さらにこれらの総和が加算器(Σ)より出力される。なお、タップ係数 w_1 , $w_2 \dots$ は、第1図の右側(受信側)のDATA1およびDATA2の形成途中で得られる、いわゆる誤差信号ならびに極性信号をもとに決定される。

第7図は第3図の回路の入力段が異なる形式の場合を示す図であり、第3図におけるダウンコンバータ部分(42, 52)におけるローカル信号が f_{s1} および f_{s2} の如く個別に存在する(第3図では一つの f_s で両系統共用)。この形式では、 f_{s1} と f_{s2} が別々であるから、両系統が同時にダウンする事態は可能性としては極めて少なく信頼

度が高い。第3図の形式では f_s 1つで両系統共用であるから、 f_s の異常によって両系統が同時にダウンになってしまふ。

しかし、第7図の形式によると、既述の周波数差 Δf のみならず、 f_{s1} と f_{s2} の周波数差 $\Delta f'$ も考慮しなければならなくなる。このような場合における周波数差検出部は第4図の構成に変形を加える必要がある。

第8図は他の形式の周波数差検出部の具体例を示す図であり、この検出部81は第4図の検出部31に対し、第7図における f_{s1} と f_{s2} の周波数差 $\Delta f'$ を考慮にいれたものである。すなわち、第4図の回路部分611, 621, 612, 622, 63と対応する回路部分を、 f_{s1} と f_{s2} について、611', 621', 612', 622', 63'として設け、かつ、コンバレータ63および63'からの比較結果(極性と大きさをもつ)の和をとる加算器82と、第4図の回路部分64と対応する回路部分を、 f_{s1} と f_{s2} について64'として設け、かつ、ミキサ64および64'からの差出力(極

性と大きさをもつ) の和をとる加算器 8 3 とが設けられる。動作は基本的に第 4 図の場合と同じである。

(発明の効果)

以上説明したように本発明によれば、ダイオードミキサの如き大形のアナログ部品からなる復調器 (DEM) を増やすことなく、LSI 化に適した復調回路が実現される。

4. 図面の簡単な説明

第 1 図は本発明に係る復調回路の原理構成を示す図、

第 2 図は第 1 図における送信側の一例を示す図、

第 3 図は本発明に係る復調回路の詳細例を示す図、

第 4 図は復調回路内の周波数差検出部の具体例を示す図、

第 5 図は座標回転器の具体例を示す図、

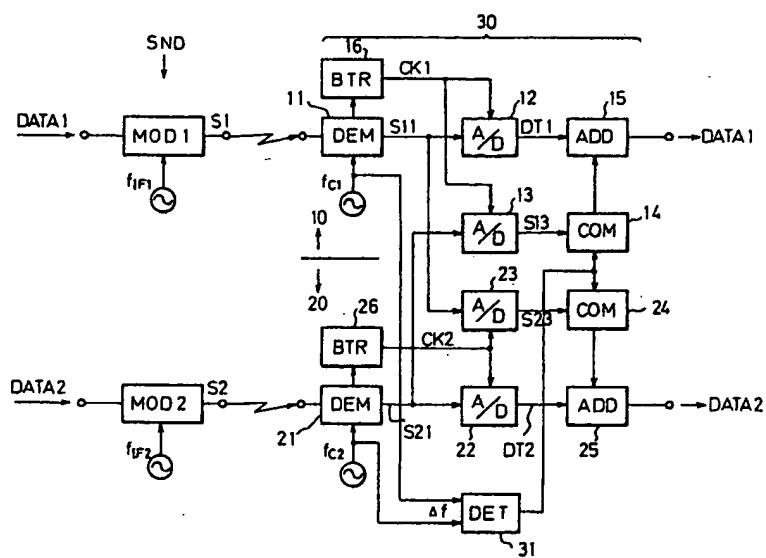
第 6 図はトランスパーサル形フィルタの一般形を示す図、

第 7 図は第 3 図の回路の入力段が異なる形式の場合を示す図、

第 8 図は他の形式の周波数差検出部の具体例を示す図である。

図において、

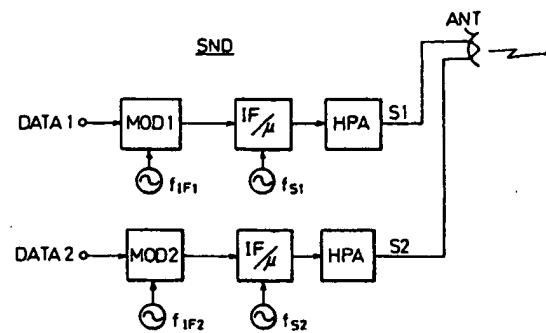
- 10 … 第 1 系統、 11, 21 … 復調部、
- 12, 22 … 主識別部、 13, 23 … 副識別部、
- 14, 24 … 補償部、 15, 25 … 加算部、
- 16, 26 … クロック再生部、
- 20 … 第 2 系統、 30 … 復調回路、
- 31 … 周波数差検出部。



本発明に係る復調回路の原理構成を示す図

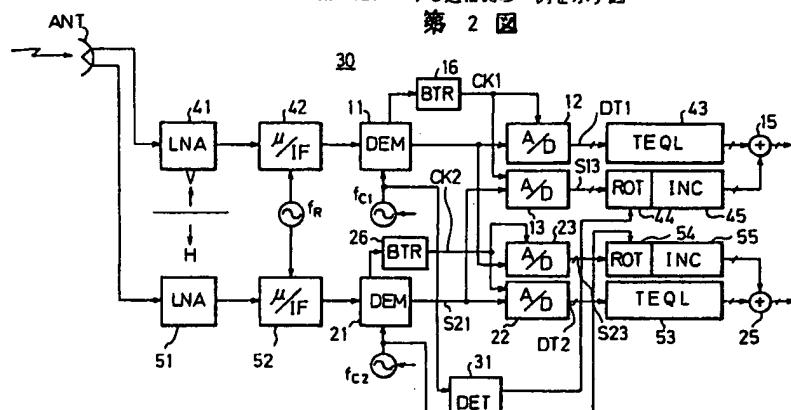
第 1 図

- | | |
|---------------|------------------|
| 10 … 第 1 系統 | 14, 24 … 補償部 |
| 20 … 第 2 系統 | 15, 25 … 加算部 |
| 11, 21 … 復調部 | 16, 26 … クロック再生部 |
| 12, 22 … 主識別部 | 30 … 復調回路 |
| 13, 23 … 副識別部 | 31 … 周波数差検出部 |



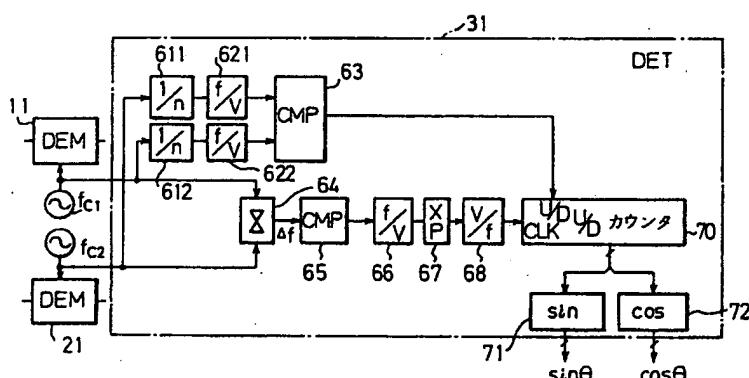
第1図における送信側の一例を示す図

第2図



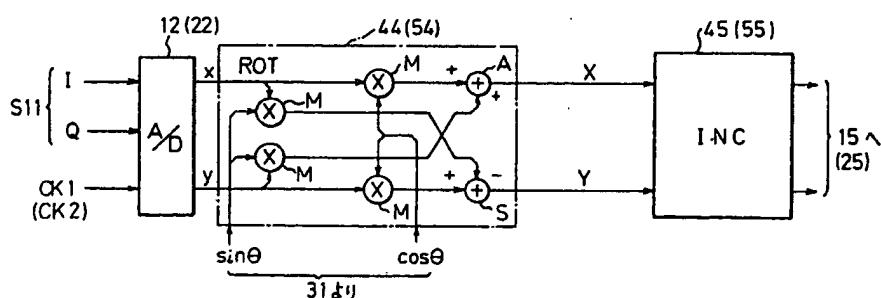
本発明に係る復調回路の詳細例を示す図

第3図



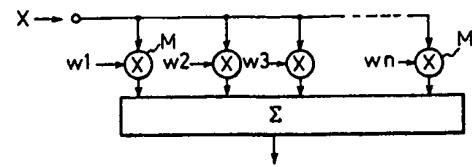
復調回路内の周波数差検出部の具体例を示す図

第4図



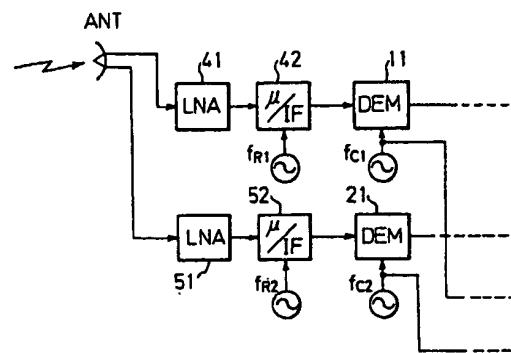
座標回転器の具体例を示す図

第5図



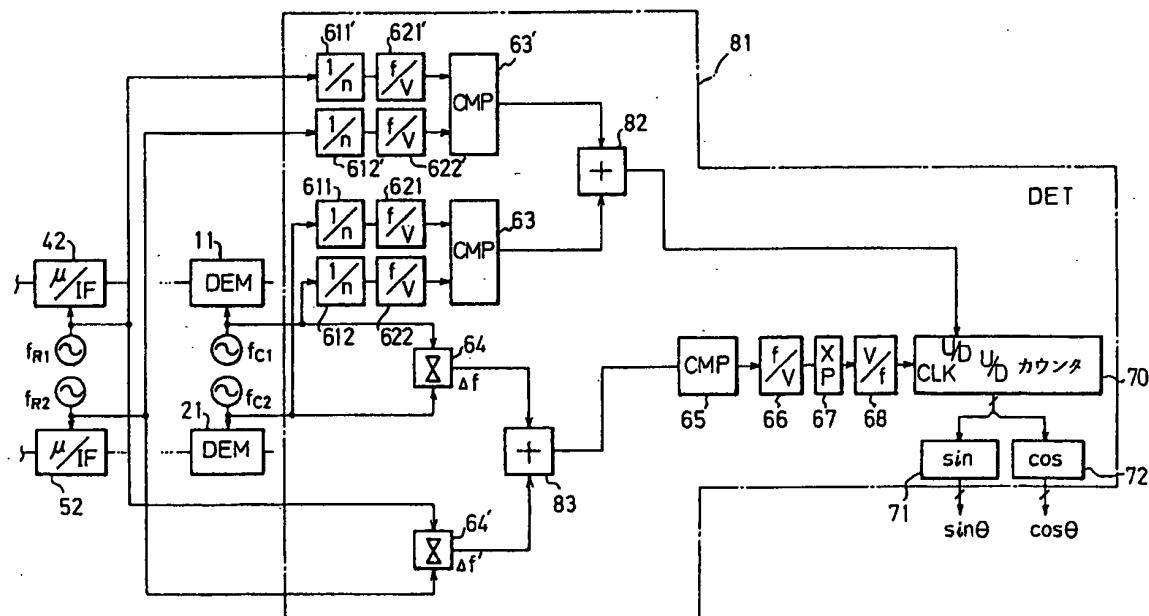
トランスポーラル形フィルタの一般形を示す図

第6図



第3図の回路の入力段が異なる形式の場合を示す図

第7図



他の形式の周波数差検出部の具体例を示す図

第8図